

US Express #EL 961 108 20405
Title: Negative Resistance
Circuit
Applicant: Kazuo KAWAI

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月31日

出 願 番 号

Application Number:

特願2003-023607

[ST.10/C]:

[JP2003-023607]

出 願 人

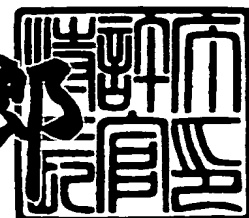
Applicant(s):

株式会社ゼネラル リサーチ オブ エレクトロニクス

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3042771

【書類名】 特許願

【整理番号】 P02-137

【あて先】 特許庁長官殿

【国際特許分類】 H03J 9/00

【発明者】

 【住所又は居所】 東京都港区三田 3 - 1 2 - 1 7 株式会社ゼネラル リ
 サーチ オブ エレクトロニックス内

 【氏名】 川井 一夫

【特許出願人】

 【識別番号】 390033363

 【氏名又は名称】 株式会社ゼネラル リサーチ オブ エレクトロニク
 ス

【代理人】

 【識別番号】 100072383

 【氏名又は名称】 永田 武三郎

 【電話番号】 03-3455-8746

【手数料の表示】

 【予納台帳番号】 053497

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9714041

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 負抵抗回路

【特許請求の範囲】

【請求項 1】 入力信号が加えられる減算手段と、
上記減算手段の出力信号を増幅する増幅手段と、
上記増幅手段の出力信号を上記減算手段の入力に正帰還する正帰還手段と、
上記増幅手段の出力信号を分割する分割手段と、
上記分割手段の分割出力信号を上記減算手段に負帰還する負帰還手段と、を備え、

上記減算手段の入力と接地間に負抵抗を生じるように上記分割手段の分割比及び上記増幅手段の増幅度を設定したことを特徴とする負抵抗回路。

【請求項 2】 前記減算手段は $n p n$ トランジスタから成るコレクターエミッタ分割形増幅回路で構成し、前記増幅手段は $p n p$ トランジスタから成るエミッタ接地形増幅回路で構成すると共に、前記入力信号を上記 $n p n$ トランジスタのベースに印加し、そのコレクタ出力を上記 $p n p$ トランジスタのベースへ接続し、そのコレクタ出力を前記出力信号としたことを特徴とする請求項 1 記載の負抵抗回路。

【請求項 3】 前記減算手段は $p n p$ トランジスタから成るコレクターエミッタ分割形増幅回路で構成し、前記増幅手段は $n p n$ トランジスタから成るエミッタ接地形増幅回路で構成すると共に、前記入力信号を上記 $p n p$ トランジスタのベースに印加し、そのコレクタ出力を上記 $n p n$ トランジスタのベースへ接続し、そのコレクタ出力を前記出力信号としたことを特徴とする請求項 1 記載の負抵抗回路。

【請求項 4】 前記減算手段は第 1 のトランジスタから成るコレクターエミッタ分割形増幅回路で構成し、前記増幅手段は第 2 のトランジスタから成るエミッタ接地形増幅回路で構成すると共に、前記入力信号を第 1 のトランジスタのベースに印加し、そのコレクタ出力を第 2 のトランジスタのベースへ容量結合し、そのコレクタ出力を前記出力信号としたことを特徴とする請求項 1 記載の負抵抗回路。

【請求項 5】 前記減算手段は第 1 の F E T トランジスタから成るドレインソース分割形増幅回路で構成し、前記増幅手段は第 2 の F E T トランジスタから成るソース接地形増幅回路で構成すると共に、前記入力信号を第 1 の F E T トランジスタのゲートへ印加し、そのドレイン出力を第 2 の F E T トランジスタのゲートへ接続し、そのドレイン出力を前記出力信号としたことを特徴とする請求項 1 記載の負抵抗回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、負抵抗回路の改良された回路構成技術に関する。

【 0 0 0 2 】

【従来の技術】

負抵抗回路は、主として、同調回路の Q を改善したり、伝送路の伝送損失を補償したり、発振回路の構成要素等として利用されるため、設計が容易で、回路構成が簡単で、高い周波数まで安定に動作する回路である必要がある。

従来の負抵抗回路には種々の構成をとるものがあるが、夫々以下のような欠点がある。

まず、エサキダイオード等の負抵抗素子を用いる構成の負抵抗回路では、任意の抵抗値に設定できない。

次に、マルチバイブレータ形回路を用いて、そのエミッタ回路にも抵抗を挿入して発振しないようにループゲインを設定した負抵抗回路もあるが、これは内部増幅器のゲインを大きくできないので、設定した負抵抗値が温度、電源電圧等の変動の影響を受けやすい。

【 0 0 0 3 】

【発明が解決しようとする課題】

本発明の課題は、上述した従来回路の欠点を解決し、温度、電源電圧等の影響を受け難く、しかも構成の簡単な負抵抗回路を提供することである。

【 0 0 0 4 】

【課題を解決するための手段】

上記課題を解決するため、本発明の負抵抗回路は、入力信号が加えられる減算手段と、上記減算手段の出力信号を増幅する増幅手段と、上記増幅手段の出力信号を上記減算手段の入力に正帰還する正帰還手段と、上記増幅手段の出力信号を分割する分割手段と、上記分割手段の分割出力信号を上記減算手段に負帰還する負帰還手段と、を備え、上記減算手段の入力と接地間に負抵抗を生じるように上記分割手段の分割比及び上記増幅手段の増幅度を設定したことを要旨とする。

【 0 0 0 5 】

上述した本発明の負抵抗回路は下記の構成とすることができる。

(1) 前記減算手段は $n p n$ トランジスタから成るコレクターエミッタ分割形増幅回路で構成し、前記増幅手段は $p n p$ トランジスタから成るエミッタ接地形増幅回路で構成すると共に、前記入力信号を上記 $n p n$ トランジスタのベースに印加し、そのコレクタ出力を上記 $p n p$ トランジスタのベースへ接続し、そのコレクタ出力を前記出力信号とする。

【 0 0 0 6 】

(2) 前記減算手段は $p n p$ トランジスタから成るコレクターエミッタ分割形増幅回路で構成し、前記増幅手段は $n p n$ トランジスタから成るエミッタ接地形増幅回路で構成すると共に、前記入力信号を上記 $p n p$ トランジスタのベースに印加し、そのコレクタ出力を上記 $n p n$ トランジスタのベースへ接続し、そのコレクタ出力を前記出力信号とする。

【 0 0 0 7 】

(3) 前記減算手段は第1のトランジスタから成るコレクターエミッタ分割形増幅回路で構成し、前記増幅手段は第2のトランジスタから成るエミッタ接地形増幅回路で構成すると共に、前記入力信号を第1のトランジスタのベースに印加し、そのコレクタ出力を第2のトランジスタのベースへ接容量結合し、そのコレクタ出力を前記出力信号とする。

【 0 0 0 8 】

(4) 前記減算手段は第1の $F E T$ トランジスタから成るドレインソース分割形増幅回路で構成し、前記増幅手段は第2の $F E T$ トランジスタから成るソース接地形増幅回路で構成すると共に、前記入力信号を第1の $F E T$ トランジスタ

のゲートへ印加し、そのドレイン出力を第2のFETトランジスタのゲートへ接続し、そのドレイン出力を前記出力信号とする。

【0009】

【発明の実施の形態】

図1は本発明の負抵抗回路の基本的回路構成を機能的に表現したブロック図であり、以下にこの回路が負抵抗を示す根拠を説明する。図1において、1, 2は負抵抗回路の入力端子、SUBは減算回路、Aは増幅度がAの内部増幅器、 β は出力電圧の電圧分割比が β の電圧分割器、3, 4は負性抵抗回路の増幅出力の出力端子、 I_1 は入力電流、 V_1 は出力電圧、 V_2 は出力電圧、pは正帰還路、nは負帰還路である。

図1の構成の回路では次の式が成立する。

【0010】

【数1】

$$I_1 = (V_1 - V_2) / R_1 \quad (1)$$

【0011】

【数2】

$$V_2 = (V_1 - V_2 \beta) A \quad (2)$$

(1), (2) 式より、入力端子より右を見た入力抵抗 R_N は

【0012】

【数3】

$$R_N = \frac{V_1}{I_1} = \frac{R_1(1 + A\beta)}{(1 + A\beta) - A} \quad (3)$$

となる。

【0013】

$$\text{従って、} (1 + A\beta) < A \quad (4)$$

となるように設定すれば、 R_N は負抵抗となる。

【0014】

即ち、電圧分割器の電圧分割比 β 及び内部増幅器の増幅度 A を、(4) 式を満足するように設定すれば、入力端子 1, 2 間に負抵抗 R_N を実現できる。

【0015】

図2乃至図4は上述した根拠に基づく本発明の負抵抗回路の各実施例を示す。

図2の実施例において、 Q_1 は1段目のnpnトランジスタで、前記減算回路に相当するコレクターエミッタ分割形増幅回路を構成し、 Q_2 は2段目のpnpトランジスタで、前記内部増幅器に相当するエミッタ接地形増幅回路を構成する。入力端子1, 2からの入力信号はトランジスタ Q_1 のベースに印加され、 Q_1 のコレクタ出力は Q_2 のベースへ直接接続される。

【0016】

トランジスタ Q_2 のコレクタ出力は正帰還路pを介して Q_1 のベースに正帰還される。また上記コレクタ出力はトランジスタ Q_1 のエミッタに負帰還路nを介して負帰還され、その負帰還量（分割電圧）は抵抗 R_4 , R_5 , R_6 の分割比 β で決まる。即ち、抵抗 R_4 , R_5 , R_6 は前記電圧分割器を構成する。

【0017】

上記エミッタ接地形増幅回路（ Q_2 ）の増幅度A及び上記電圧分割器の分割比 β を前記（4）式を満足するように設定すれば、端子1, 2間に負抵抗 R_N を得ることができる。この構成により、エミッタ接地形増幅回路（ Q_2 ）で十分な増幅利得と広帯域性を確保することができる。

【0018】

図3の実施例において、コレクターエミッタ分割形増幅回路を構成するトランジスタ Q_1' 及びエミッタ接地形増幅回路を構成するトランジスタは共にnpnトランジスタで、トランジスタ Q_1' のコレクタ出力をトランジスタ Q_2' のベースへ容量 C_1 により容量結合しており、他の構成は図2と同様である。

【0019】

図4の実施例において、 Q_1'' はpnpトランジスタ、 Q_2'' はnpnトランジスタで、他の構成は図2と同様である。

なお、上記各実施例では、バイポーラトランジスタを用いるとしたが、これに代えて電界効果トランジスタ（FET）を用いてもよい。その場合、バイポーラトランジスタのコレクタ、ベース、エミッタは夫々電界効果トランジスタのドレイン、ゲート、ソースに対応させればよく、その回路構成の一例は下記の通りで

ある。

【0020】

即ち、1段目の回路が、 n チャンネル電界効果トランジスタから成るドレイン－ソース分割形増幅回路、2段目の回路が p チャンネル電界効果トランジスタから成るソース接地形増幅回路で構成される。1段目回路のソース出力は負性抵抗回路の入力端子へ、そのドレイン出力は2段目回路のゲートへ、夫々接続し、2段目回路のソース出力を負性抵抗回路の増幅出力として出力端子から取り出すと共にその増幅出力を電圧分割して分割出力を1段のFETトランジスタのゲートへ接続して正帰還路を構成する。また上記増幅出力は1段目のFETトランジスタのソースに抵抗を介して接続することによって負帰還路を構成する。

【0021】

上述した構成とすることによって、1段目のFETトランジスタのソース端子に負性抵抗を発生させ、2段目のFETトランジスタのドレイン出力にその増幅出力を得ることができる。

上記の例でも電界効果トランジスタのチャンネルのタイプを逆にしたFETトランジスタを用いてもよいことは勿論である。

【0022】

【発明の効果】

以上説明したように、本発明によれば、内部増幅器の増幅度を十分にとれるから、温度、電源電圧の変動に強く、簡単な回路構成で広帯域の負性抵抗回路を構成でき、同調回路の選択度の改善や、発振回路、伝送特性の損失補償等に広く適用可能である。

【図面の簡単な説明】

【図1】

本発明の負抵抗回路の基本的回路構成を機能的に表現したブロック図である。

【図2】

本発明の一実施例を示す回路図である。

【図3】

本発明の他の実施例を示す回路図である。

【図 4】

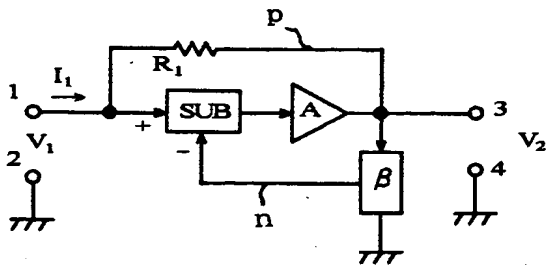
本発明の更に他の実施例を示す回路図である。

【符号の説明】

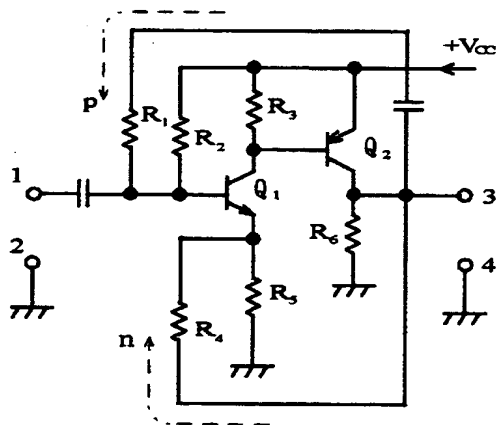
- A 内部増幅器
- SUB 減算回路
- β 電圧分割器
- p 正帰還路
- n 負帰還路

【書類名】 図面

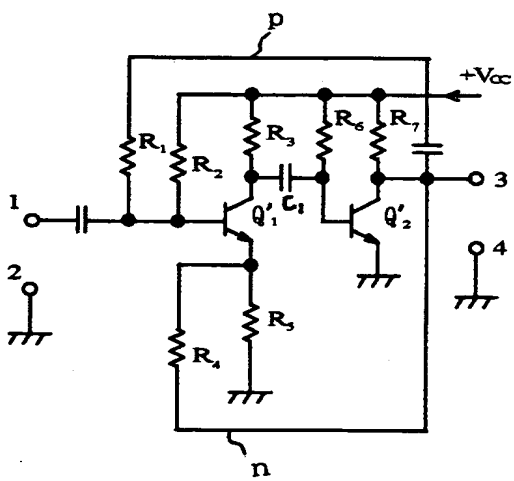
【図 1】



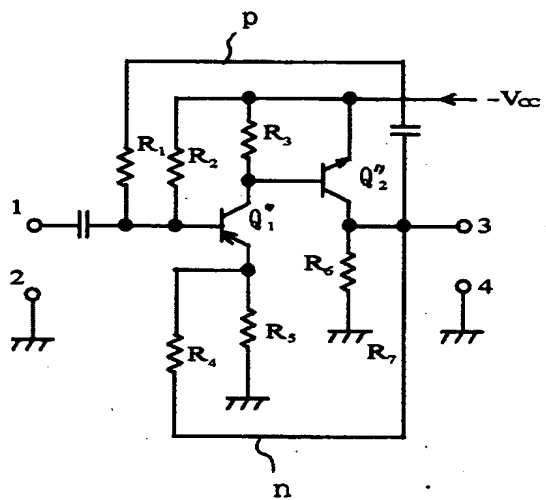
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 温度、電源電圧等の変動に影響されず、動作が安定で、簡単な回路構成の負抵抗回路を提供することである。

【解決手段】 1段目の回路はnpnトランジスタ Q_1 から成るコレクターエミッタ分割形回路で、2段目の回路はpnpトランジスタ Q_2 から成るエミッタ接地増幅回路である。トランジスタ Q_2 のコレクタ出力はトランジスタ Q_1 のベースへ接続されて正帰還路pを構成すると共に上記コレクタ出力は抵抗 R_4 、 R_5 、 R_6 により電圧分割されて Q_1 のエミッタへ接続されて負帰還路nを構成する。

上記エミッタ接地増幅回路の増幅度 A 及び電圧分割比 β は $(1 + A\beta) < A$ となるように設定される。

【選択図】 図2

特2003-023607

認定・付加情報

特許出願の番号	特願2003-023607
受付番号	50300157314
書類名	特許願
担当官	第七担当上席 0096
作成日	平成15年 2月 3日

<認定情報・付加情報>

【提出日】 平成15年 1月31日

次頁無

出 願 人 履 歴 情 報

識別番号 [390033363]

1. 変更年月日 1997年 6月 6日

[変更理由] 住所変更

住 所 東京都港区三田3丁目12番17号

氏 名 株式会社ゼネラル リサーチ オブ エレクトロニックス